

CLIPPEDIMAGE= JP402043731A

PAT-NO: JP402043731A

DOCUMENT-IDENTIFIER: JP 02043731 A

TITLE: VAPOR GROWTH DEVICE FOR SEMICONDUCTOR

PUBN-DATE: February 14, 1990

INVENTOR-INFORMATION:

NAME

IMAFUKU, KAZUHIRO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP63194223

APPL-DATE: August 3, 1988

INT-CL (IPC): H01L021/31;H01L021/205

US-CL-CURRENT: 29/25.01

ABSTRACT:

PURPOSE: To contrive the improvement of the discharge efficiency of plasma, the increase of the growth rate and the improvement of film thickness uniformity of a chemical vapor phase growth film by a method wherein the side surface of a semiconductor substrate is brought into contact to a conductive film which is formed on a holder pin, which is formed on a susceptor, and shows a high conductivity.

CONSTITUTION: Reaction gas is filled, a pair of parallel-plate electrodes 12 are arranged in the interior of a reaction container 1 communicated with an evacuator and a film is deposited on each semiconductor

substrate 7 to be treated which is fixed on a susceptor 8, which is connected to at least one of the electrodes 12 and consists of a conductive substance, through each holder pin 14 which is formed on the susceptor 8. In such a vapor growth device for semiconductor, the side surface 15 of said substrate 7 is brought into contact to other conductive film 17 which is formed on said holder pin 14 and shows a high conductivity. For example, a gradient 16 to conform to that of the side surface 15 of a semiconductor substrate 7 to be treated is formed on the periphery of a holder pin 14, which is mounted on a susceptor 8 made of carbon and is similarly made of carbon, and moreover, Al or an Al alloy is deposited on the surface of the holder pin by a deposition method or a sputtering method to form a film 17.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-43731

⑤ Int. Cl.⁵H 01 L 21/31
21/205

識別記号

C

庁内整理番号

6824-5F
7739-5F

⑬ 公開 平成2年(1990)2月14日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体用気相成長装置

⑰ 特 願 昭63-194223

⑱ 出 願 昭63(1988)8月3日

⑲ 発 明 者 今 福 一 博 福岡県北九州市小倉北区下津1丁目10-1 株式会社東芝北九州工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 大 胡 典 夫

明 細 書

1. 発明の名称

半導体用気相成長装置

2. 特許請求の範囲

反応ガスが充填され、減圧装置に連通した反応容器内に一対の平行平板電極を配置し、その少なくとも一方に接続する導電性物質からなるサセプタに形成するホルダーピンを介して固定する被処理半導体基板に被膜を堆積する半導体用気相成長装置において、前記ホルダーピンに形成され、より高い導電性を示す他の導電性被膜に前記半導体基板の側面を接触させることを特徴とする半導体用気相成長装置

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体用気相成長装置に係わり、特にプラズマCVD(Chemical Vapour Deposition)装置における半導体基板用サセプタ(Suceptor)の形状と材質に関する。

(従来の技術)

半導体素子の発達は、製造装置の開発におうところが大きく、低温で絶縁物層などを半導体基板に堆積できる化学気相成長装置特にプラズマCVD装置もその一つにあげられ、この概要を第4図により説明する。

この図には、機型の装置が示されているがこれに限定されないことを先ず付記する。

準備された反応容器50の一端51には、ガスキャビネット52を、他端53には、ルーツブロウ54及びロータリポンプ55などの減圧装置を気密に接続すると共に排気口(図示せず)とする。一方、この反応容器50の外側には、ヒータ56と、これに接続する温度コントローラ57を設置して内部温度を350～400℃程度に制御可能にし、更に、この内部に設ける平行平板電極58の少なくとも一方には、被処理半導体基板59…が設けられるサセプタ60を電気的に接続することにより、反応容器50内に被処理半導体基板59…を配置する。

この平行平板電極58は、第5図に示した高周波

発振器65から導き出したRFフィードスル61により高周波電力を印加して反応容器50内にプラズマを発生するが、これに先立って導入した反応ガスは、このプラズマを利用する化学反応で生ずる所定の被膜を被処理半導体基板59…に堆積する。

この化学反応を起すには、ルーツブロワ54ならびにロータリポンプ55の稼働により反応容器50内の圧力を 10^{-3} Torr程度に排気し、更に、ガスキャビネット52から SiH_4 、 NH_3 、 N_2O などのガスを導入しながら行う。

ところで、カーボンで作られたサセプタ60に被処理半導体基板59を取付けるには、第6図、第7図及び第8図に示すようにホルダーピン62を利用する。一方、反応容器50には、一端51に反応ガス導入口が、他端53に減圧装置に連通した排気口が形成されるのは、上記の通りで、導入する反応ガスには、排気口に向かう流路ができる。

サセプタ60には、被処理半導体基板59を配置する平坦面63が形成されており、これを流路に平行になるように反応容器50内に立てるので、被処理

半導体基板59表面も流路に沿って配置されることになるのは図示の通りである。この場合、被処理半導体基板59はサセプタ60下方に設置した一対のホルダーピン62, 62により押えられて固定されるのは、第6図に示す通りである。このようにして固定された被処理半導体基板59の断面図を、第4図をA-A線で切断した第5図に示した。

第4図では、流路に沿って被処理半導体基板59の表面が配置された状態が示されており、第5図には反応容器50内に配置するサセプタ60の配列状態が明らかにされている。

即ち、反応容器10に設置するサセプタ60には、上記の方法で5吋で50枚、4吋で100枚の被処理半導体基板が第5図に明らかなように列状に配置され、しかも、反応ガスの流路に沿ってその表面を配置させて、所定の化学気相成長処理が施される。

ところで、被処理半導体基板59の側面64には、素子の耐圧を向上するためにベベル面を形成しているのに傾斜しているのに対して、保持すべき小

ルダーピン62は垂直な面で構成されているので、両面間には隙間ができています。

更に、被処理半導体基板60の製造工程中に付着する絶縁物層もしくはPEP(Photo Engraving Process)工程に使用するレジスト膜などが側面64には、どうしても付着する。

一方、集積度の向上に伴ってダスト対策が注目されている最近では、PEP工程で塗布されるレジスト層が剥離することにより後工程への影響を避けるため、通称周辺カットと呼称する清浄化手法が盛んに取入れられている。即ち、PEP工程のレジスト塗布工程後、被処理半導体基板の裏面や側面に回り込んだレジストに、シンナを吹付けて除去するバックリンス工程である。しかし、この工程でも処理半導体基板の裏面に付着したレジストを完全に剥離することはなかなか難しく、また、剥離の程度を夫々一定にするのも困難であった。

このバックリンス工程を未実施の被処理半導体基板の断面図を第7図に、実施したその断面図を第8図に示した。

(発明が解決しようとする課題)

被処理半導体基板には、半導体素子に必要な各種の絶縁物層が被覆されるが、プラズマ窒化膜などを化学気相成長装置を利用して減圧CVD法により生成する際には、サセプタに載置した被処理半導体基板の裏面や、側面に設置するベベル面などにこのプラズマ窒化膜が回り込んで被着するのが通例であり、更に、PEP工程に不可欠なレジスト膜や、配線工程で被覆されるAlまたはAl合金も被処理半導体基板の側面にやはり被着する。

一方、サセプタは導電性に優れた炭素で作られており、ホルダーピンも炭素製である。

しかも、多数の被処理半導体基板にプラズマCVDまたは化学気相成長処理を同時に施すと、その裏面に回り込む割合が一定せず、更に、側面に被着する量も同様に一定しない。更に、バックリンス工程を施しても裏面に回り込んだものは、完全には剥離せず、その上、剥離の程度も一定にならないために、多数の被処理半導体基板個々における膜厚均一性及び成長速度に差が生じていた。

即ち、被処理半導体基板の裏面に絶縁物層が、側面にAlまたはAl合金が被着していたとすると、電気的な抵抗が非常に低いリセプタに、比較的に電気的な抵抗が高い被処理半導体基板が載置されていることになる。

このために、プラズマの放電効率が悪化すると共に、均一でない裏面絶縁物層の影響を受けて成長速度の低下及び面内膜厚均一性が悪くなる状態を招いていた。

この膜厚均一性とは、いわゆるオリノラを形成した半導体基板の対称的な周辺部4箇所即ち5mm離れた位置と、それらの中心部分を含めた5箇所の膜厚を測定する。

そして、 $(5\text{点測定の高値}) - (5\text{点測定の低値}) / (2 \times 5\text{点測定値の平均値}) = \text{面内膜厚バラツキ}(\pm\%)$ として、面内膜厚均一性の評価基準とした。

本発明はこのような事情により成されたもので、特に、プラズマの放電効率の向上と、化学気相成長被膜の成長速度及び膜厚均一性を改善することを目的とする。

処理半導体基板の側面と裏面が同一の状態としたものである。

即ち、バックリンス工程の有無にかかわらず、リセプタを構成する炭素に導電性の高い他の導電性被膜を接触させ、更に、半導体基板の材料である例えばケイ素を接触させて、上記のように高周波電圧の印加状態を同一にしたものである。

この他の導電性被膜用の材料としては、AlやAl合金より高導電性を保有するW、Moなどの高融点金属も利用できることを付記する。

(実施例)

第1図乃至第3図により本発明に係わる一実施例を説明する。

即ち、第1図に示す反応容器1は、その内部に反応ガスを導入し、更に、圧力を 10^{-3} Torr程度に減圧して使用するので、気密に形成するのは当然であり、また、反応ガスの導入も気密状態が保持できるような構造を反応容器1の一端2に形成する。更に、他端3には導入した反応ガスを排出する排気口(図示せず)を設置するので、ここに向

[発明の構成]

(課題を解決するための手段)

本発明は、反応ガスが充填され、減圧装置に連通した反応容器内に一对の平行平板電極を配置し、その少なくとも一方に接続する導電性物質からなるリセプタに形成するホルダピンを介して固定する被処理半導体基板に被膜を堆積する半導体用気相成長装置において、前記ホルダピンに形成され、より高い導電性を示す他の導電性被膜に前記半導体基板の側面を接触する点に特徴がある。

(作用)

被処理半導体基板を載置する炭素製のリセプタには、同材質のホルダピンを設置しており、これを導電性の高い材質即ちAlまたはAl合金で形成するのは、母材との差が膜厚均一性やプラズマの放電効率などに悪影響を与えるために採用できない。

このような背景のもとで、本発明では、ホルダピンにAlやAl合金などの他の導電性被膜を被覆することにより、高周波電圧の印加状態を被

かう反応ガスの流路が形成される。

この反応ガスは、ガスキャビネット4から SiH_4 、 NH_3 、 N_2O などを導入して使用し、他端3は、ルーツブロワ5やロータリポンプ6間を気密な状態で連結して、反応容器1内の圧力を 10^{-3} Torr程度として化学気相成長を配置する被処理半導体基板6の表面に施す。

この被処理半導体基板7を反応容器1内に配置するには、炭素製のリセプタ8を利用するが、これには第2図に明らかなように設置した平坦面8に設け被処理半導体基板6の裏面を載置する。

このリセプタ7を反応容器1に設置するには、この平坦面9が反応ガスの流路に沿うように設ける方法によっているので、被処理半導体基板7の被処理表面も同様に反応ガスの流路と平行に配置されて、減圧下におけるプラズマを利用する化学気相成長に備える。

このプラズマ反応を起こすために、反応容器1の外側には、ヒータ10及びこれに接続する温度コントローラ11を設置して、内部温度を350～400℃

位に制御可能にし、この内部に平行平板電極12を設ける。

この平行平板電極12の少なくとも一方に、サセプタ8を電気的に接続して、被処理半導体基板7…に化学気相成長を実施する。更に、平行平板電極12は、図示しない高周波発振器から導き出したRFフィードスル13によって、高周波電力を印加して反応容器1内にプラズマを形成する。

このように、反応容器1に設置する被処理半導体基板7…は、サセプタ8の平坦面9に設置するが、その固定には、従来技術と同様に平坦面9の下方に設置する2個のホルダーピン14、14(第2図)を利用する。これの頂部には、被処理半導体基板7用の押えが形成されている。更に、被処理半導体基板7…の側面15には、正、負もしくは両者の混合型のベベル即ち勾配を形成して耐圧を上げており、また、バックリンス工程によりPEP工程により裏面に回り込んだレジスト層を除去するのは従来技術と同様である。更に、勾配が形成される被処理半導体基板7…の側面15には、半導体

ル面が設置された被処理半導体基板に化学気相成長層を確実にしかも安定して堆積することができる。

これは、サセプタ8を構成する炭素より導電性に優れた他の導電性被膜17をホルダーピン14に形成したので、被処理半導体基板裏面に付着した絶縁物質の有無に係わらず、確実なプラズマの形成、従って安定した化学気相成長層の堆積ができるようになった。

〔発明の効果〕

サセプタに固定され、バックリンス工程を実施しない被処理半導体基板をイ、バックリンス工程を実施した被処理半導体基板をロ、上記のようにバックリンス工程を実施し更に、上記のように本発明に係わるサセプタとホルダーピンを利用した被処理半導体基板をハとして、成長速度と、面内膜厚均一性を第3図に示した。

この図から明らかなように、イは成長速度が300 Å/min、面内膜厚均一性も±3.5%とまずまずなのに対して、ロでは、成長速度が250 Å/min

素子に不可欠な配線材料AlまたはAl-Si-CuやAl-CuなどのAl合金が被覆する場合と、バックリンス工程によりレジスト層も除去され、この配線材料も付着していない時もある。ところで、サセプタ7に取付けるホルダーピン14、14の周りには、被処理半導体基板7の側面15の勾配に合う勾配16を形成し、更に、その表面には、半導体素子の配線層に適用するAlもしくはAl合金を蒸着法やスパッタリング法により堆積して被膜17を形成する。

堆積する金属は、サセプタ8を構成する炭素より導電性に優れた材料であるAlもしくはAl-Si-CuもしくはAl-CuなどのAl合金が好適し、更に、上記のようにW、Moなどの高融点金属も利用することができ、被処理半導体基板7とホルダーピン14夫々に勾配15、16を形成した状態を第2図の断面図に示した。

この第2図に明らかなように、本発明に係わる化学気相成長装置即ち気相成長装置では特殊な構造を備えたサセプタを利用しており、側面にベベ

に低下し、面内膜厚均一性も平均±15%と大幅に悪化している。

それに対してハは、成長速度はイとほぼ同じように300 Å/minまで上昇し、面内膜厚均一性も±4%とイと同等の結果が得られた。

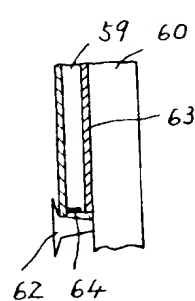
このように、バックリンス工程により周辺カットを実施した被処理半導体基板でも、本発明に係わる気相成長装置を利用すると、成長速度を下げず、生産性を損なわずに、その上膜厚均一性を悪化することなく例えば窒化ケイ素膜を生成することができし、勿論他の膜として2酸化ケイ素なども生成できる。

4. 図面の簡単な説明

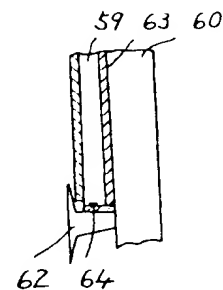
第1図乃至第3図は、本発明の一実施例を説明する図で、第1図は、反応容器の概略を示す断面図、第2図は、その要部を示す断面図、第3図は、その特性を明らかにした図、第4図は、従来の反応容器の概略を示す断面図、第5図は、第4図をA-A線で切断した図、第6図と第7図は被処理半導体基板を取付けたサセプタの断面図である。

- 1…反応容器 7:被処理半導体基板
8…サセプタ 14:ホルダーピン
15…被処理半導体基板の側面
17…他の導電性被膜

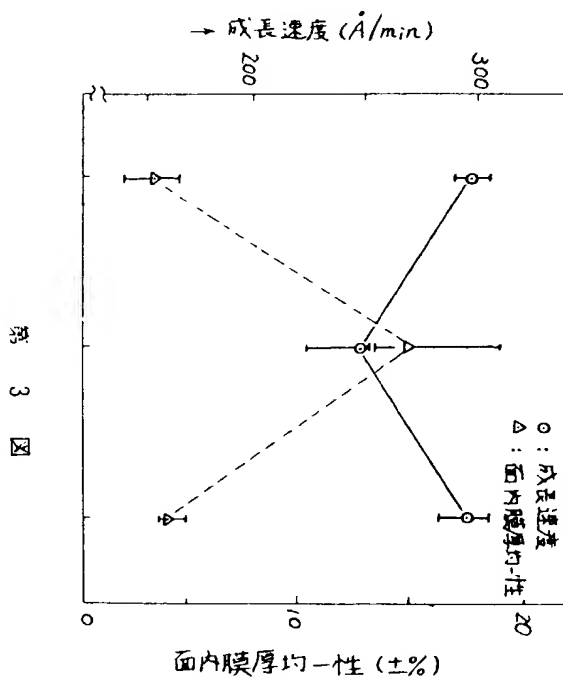
代理人 弁理士 大 胡 典 夫



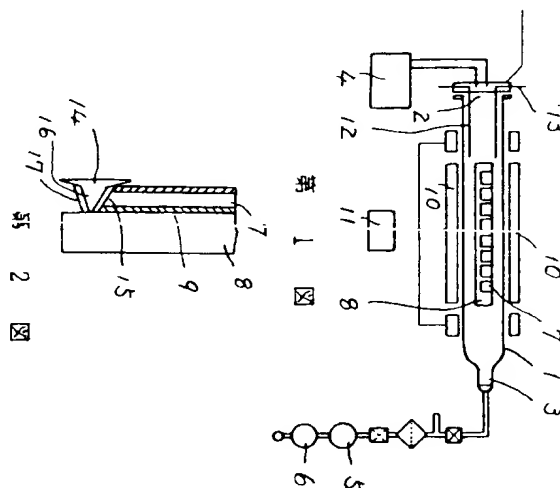
第 7 図



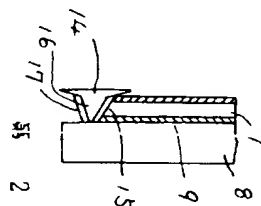
第 8 図



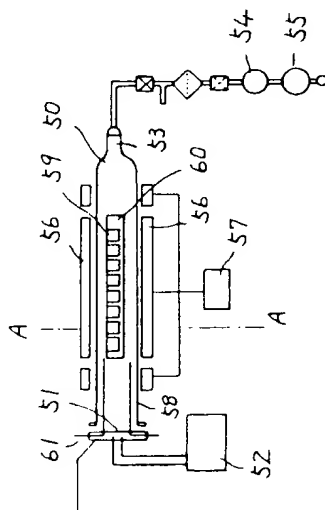
第 3 図



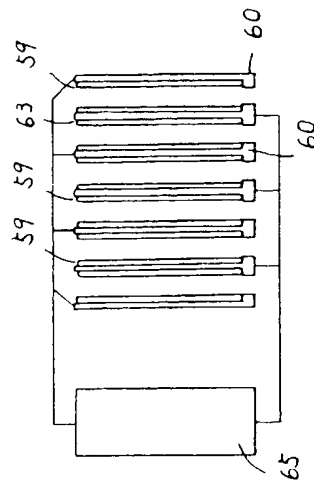
第 1 図



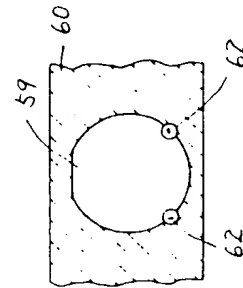
第 2 図



第 4 図



第 5 図



第 6 図

手 続 補 正 書 (方式)

63.11.-9

昭和 年 月 日

特許庁長官 吉 田 文 蔵 殿

1. 事件の表示

昭和63年特許願第194223号

2. 発明の名称

半導体用気相成長装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代 理 人

〒144

東京都大田区蒲田4丁目41番11号

第一津野田ビル

大胡特許事務所内

電話 736-3558

(8173) 弁理士 大 胡 典 夫



5. 補正命令の日付

発送日 昭和63年10月25日

6. 補正の対象

明細書の図面の簡単な説明の欄

7. 補正の内容

明細書第14頁第13行以下に記載した『図面の簡単な説明』の欄を下記のように補正する。

第1図乃至第3図は、本発明の一実施例を説明する図で、第1図は、反応容器の概略を示す断面図、第2図は、その一部を示す断面図、第3図は、その特性を明らかにした図、第4図は、従来の反応容器の概要を示す断面図、第5図は、第4図をA-A線で切断した図、第6図は、半導体基板をサセプタにホルダーピンにより固定する状態を示す上面図、第7図及び第8図は半導体基板を取付けたサセプタの断面図である。